

基于 Copula 理论的 芯片多元参数成品率估算方法

李 鑫^{1,2}, 唐 洁³, 肖 甫⁴

(1. 南京邮电大学物联网学院, 江苏南京 210003; 2. 江苏省安全生产科学研究院科技研发中心, 江苏南京 210042;
3. 东南大学网络与信息中心, 江苏南京 210096; 4. 南京邮电大学江苏省无线传感网高技术研究重点实验室, 江苏南京 210003)

摘 要: 当前芯片参数成品率研究主要局限于单一性能指标成品率估算或对多个单性能指标成品率进行均衡优化. 针对此类方法易造成参数成品率缺失的问题, 本文提出一种基于 Copula 理论的芯片多元参数成品率估算方法. 该方法首先针对漏电功耗及芯片时延性能指标, 构建具有随机相关性的漏电功耗及芯片时延模型; 然后利用鞍点线抽样方法对漏电功耗及芯片时延的边缘分布概率进行求解; 最后根据 Copula 理论得到准确的芯片多元参数成品率估算结果. 仿真结果表明, 相较于蒙特卡罗仿真, 本文方法具有较高的仿真效率, 仿真时间减少了 12% 以上, 而且在不同国际电路与系统研讨会 (International Symposium on Circuits and Systems, ISCAS) 基准电路下, 该方法与蒙特卡罗仿真结果的相对误差均保持在 9% 以内, 能够在任意性能指标约束下, 对芯片多元参数成品率进行有效估算, 可为芯片设计人员提供同时考虑多个性能指标的参数成品率信息.

关键词: 可制造性设计; 参数扰动; 多元参数成品率估算; Copula 理论; 鞍点线抽样

中图分类号: TN47 **文献标识码:** A **文章编号:** 0372-2112 (2017)09-2098-08

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2017.09.007

A Chip-Level Multi-parametric Yield Prediction Method Based on Copula Theory

LI Xin^{1,2}, TANG Jie³, XIAO Fu⁴

(1. School of Internet of Things, Nanjing University of Post and Telecommunications, Nanjing, Jiangsu 210003, China;

2. Technology Innovation Center, Jiangsu Academy of Safety Science and Technology, Nanjing, Jiangsu 210042, China;

3. Network and Information Center, Nanjing Southeast University, Nanjing, Jiangsu 210096, China;

4. Jiangsu High Technology Research Key Laboratory for Wireless Sensor Networks,
Nanjing University of Post and Telecommunications, Nanjing, Jiangsu 210003, China)

Abstract: The previous approaches on parametric yield prediction are limited to either predicting parametric yield for single performance metric, or balanced optimizing several single-parametric yields. Consequently, these approaches may result in significant yield loss. In order to avoid the deficiency, this paper suggests a copula-based multi-parametric yield prediction method. First, the method models power and timing randomly and correlatively. Then, saddle point line sampling is applied to estimate their marginal distributions. Finally, according to copula theory, the multi-parametric yield is predicted. Experimental results demonstrate that comparing to Monte Carlo (MC) simulation, the proposed method has higher simulation efficiency, the simulation time is reduced by more than 12%. In addition, the relative errors of the results of this method and MC simulation in different ISCAS benchmark circuits are maintained at less than 9%, and under arbitrary performance limit, the proposed method can predict multi-parametric yield effectively. It provides the designer with yield information that considers multiple performance metrics simultaneously.

Key words: design for manufacturability; parameter variation; multi-parametric yield prediction; Copula theory; saddle point line sampling

收稿日期: 2016-01-06; 修回日期: 2016-07-14; 责任编辑: 梅志强

基金项目: 国家自然科学基金 (No. 61502234, No. 71301081); 江苏省自然科学基金 (No. Bk20161072, No. Bk20150785, No. BK20130877); 国家博士后基金 (No. 2014M551637); 江苏省博士后基金 (No. 1401046C)

1 引言

随着芯片制造工艺发展到 20nm 制程,器件特征尺寸缩小和芯片集成度提高导致工艺及环境参数扰动严重影响芯片的性能可控性^[1-4]. 此时,工艺及环境参数扰动所引起的芯片性能与设计指标的背离,将致使芯片参数成品率显著下降^[5-8]. 而且,由于工艺及环境参数扰动通常同时作用于不同芯片性能指标,这将造成芯片性能指标间具有强相关性. 因此,同时考虑多个芯片性能指标影响,构建芯片多元参数成品率估算模型,对芯片参数成品率进行有效控制就变得至关重要.

目前,国内外学者针对芯片参数成品率估算的研究主要还局限于单一性能指标^[9,10],其忽略了工艺及环境参数扰动所造成的芯片性能指标间的强相关性. 针对此情况,Tang 等人考虑工艺及环境参数扰动影响,结合遗传算法和自适应优化方法提出了一种芯片参数成品率多目标优化算法,同时对芯片时延成品率和漏电功耗成品率进行了优化^[11]. 此外,Guerra-Gomez 等人还将进化算法引入芯片参数成品率多目标优化算法中,提出了一种基于预算分配的最优化策略,在保证一定优化准确率的基础上降低了芯片参数成品率优化的计算复杂度^[12]. 然而,上述方法的优化结果仅为权衡多个单性能指标成品率的帕累托优化解. 从根本上说,其优化对象仍是单一性能指标成品率,而未能同时考虑多个性能指标间的相关性影响对芯片多元参数成品率进行准确估算,因此仍具有一定的局限性.

针对以上问题,本文基于 Copula 理论提出了一种芯片多元参数成品率估算方法. 该方法首先以漏电功耗及芯片时延为例,考虑工艺及环境参数扰动,构建具有强相关性的漏电功耗和芯片时延随机模型,随后提出利用鞍点线抽样方法求解漏电功耗及芯片时延的边缘分布函数,并进而根据 Copula 理论,同时考虑漏电功耗及芯片时延约束,对芯片多元参数成品率进行准确估算. 仿真结果表明,该方法能够在任意性能指标约束下,对芯片多元参数成品率进行有效估算,摆脱目前研究大多局限于对单一性能指标成品率进行估算或对多个单性能指标成品率进行均衡优化的现状.

2 漏电功耗及芯片时延随机建模

根据上文分析,工艺及环境参数扰动将导致漏电功耗及芯片时延间具有强相关性. 考虑此强相关性影响,本文将漏电功耗及芯片时延建模为相同工艺及环境参数的扰动函数形式^[13]. 在此,以随机变量表征工艺及环境参数扰动,并且,不失一般性,令有效沟道长度 L_{eff} 、门限电压 V_{th} 、氧化层厚度 T_{ox} 及供电电压 V_{dd} ,片上

温度 T 为考虑的工艺及环境参数. 根据文献[14],将漏电功耗建模为亚阈值电流 I_{sub} 与栅极电流 I_{gate} 之和的形式,则漏电功耗随机模型可表示为与工艺、电压、温度 (Process, Voltage, and Temperature, PVT) 参数扰动相关的指数函数:

$$\begin{aligned} I_{\text{Leakage}} &= I_{\text{sub}} + I_{\text{gate}} \\ &= I_{\text{sub,nom}} \cdot e^{a\Delta L_{\text{eff}} + b\Delta V_{\text{th}} + c\Delta T_{\text{ox}} + d\Delta V_{\text{dd}} + e\Delta T} \\ &\quad + I_{\text{gate,nom}} e^{f\Delta T_{\text{ox}} + g\Delta V_{\text{dd}}} \end{aligned} \quad (1)$$

其中, $I_{\text{sub,nom}}$ 为亚阈值电流标称值, $I_{\text{gate,nom}}$ 为栅极电流标称值,变化量 ΔL_{eff} 、 ΔV_{th} 、 ΔT_{ox} 、 ΔV_{dd} 、 ΔT 分别表示 PVT 参数所引起的参数随机扰动. 系数 a 、 b 、 c 、 d 、 e 、 f 、 g 为 PVT 参数扰动的漏电功耗灵敏度系数.

同理,针对芯片时延,根据文献[15]将一阶泰勒展开引入芯片时延随机建模过程^[16],则考虑 PVT 参数扰动影响的芯片时延可线性表示为:

$$\begin{aligned} D_{\text{Delay}} &= D_{\text{nom}} + \sum_i \left(\frac{\partial D}{\partial p_i} \right) \Delta p_i \\ &= D_{\text{nom}} + h\Delta L_{\text{eff}} + k\Delta V_{\text{th}} + l\Delta T_{\text{ox}} + r\Delta V_{\text{dd}} + s\Delta T \end{aligned} \quad (2)$$

其中, D_{nom} 为芯片时延标称值, h 、 k 、 l 、 r 、 s 表示 PVT 参数扰动的芯片时延灵敏度系数.

此时,由式(1)及式(2)可知,由于漏电功耗和芯片时延的随机模型均与相同 PVT 参数扰动呈函数关系,因此它们是具有随机强相关性的.

3 基于 Copula 理论的多元参数成品率估算

在 IC 芯片设计过程中,通常需同时考虑多个性能指标(如漏电功耗及芯片时延)对芯片参数成品率进行估算. 因此,考虑 PVT 参数扰动影响,估算芯片多元参数成品率就变得至关重要. 在此,为对芯片多元参数成品率进行估算,将随机变量的联合分布函数 (Joint Cumulative Distribution Function, JCDF) 引入多元参数成品率建模过程. 则芯片多元参数成品率模型可表示为:

$$\begin{aligned} \text{Yield} &= F(I_0, D_0) \\ &= P(I_{\text{Leakage}}(\Delta \mathbf{p}) < I_0, D_{\text{Delay}}(\Delta \mathbf{p}) < D_0) \end{aligned} \quad (3)$$

其中, I_0 表示漏电功耗的性能约束, D_0 表示芯片时延的性能约束. $\Delta \mathbf{p} = (\Delta L_{\text{eff}}, \Delta V_{\text{th}}, \Delta T_{\text{ox}}, \Delta V_{\text{dd}}, \Delta T)$ 为 PVT 参数扰动向量.

此时由式(3)可知,芯片多元参数成品率估算即可转化为随机变量的联合分布函数求解问题. 本文将重点讨论如何利用 Copula 理论对联合分布函数进行求解.

3.1 Copula 函数定义

Copula 理论是统计学领域内的一种新兴理论,其可以建立单变量边缘分布函数与多元联合分布函数间的连接关系,为建立随机向量的联合分布函数提供了理

论基础,为研究随机变量间的相关性提供了方法^[17].

为进一步说明 Copula 函数所描述的变量间相关关系,在此引入 Sklar 定理刻画 Copula 函数的连接性^[18]. Sklar 定理是 Copula 函数构造多个随机变量联合概率分布的理论基础,在 Copula 理论中占有重要地位.

定理 1 [Sklar 定理^[18]] 设 $X_i, i=1,2,\dots,n$ 是 n 个随机变量,其对应的边缘分布函数分别为 $F_i(x), i=1,2,\dots,n$.

(1) 若 $X_i, i=1,2,\dots,n$ 的 n 元联合分布函数为 $H(x_1, x_2, \dots, x_n)$, 则

(i) 存在 n 元 Copula 函数 $C(u_1, u_2, \dots, u_n)$, 使得 $H(x_1, x_2, \dots, x_n) = C(F_1(x_1), F_2(x_2), \dots, F_n(x_n))$, $-\infty < x_i < +\infty, i=1,2,\dots,n$;

(ii) 若 $F_i(x), i=1,2,\dots,n$ 是连续的, 则 Copula 函数唯一.

(2) 若 $C(u_1, u_2, \dots, u_n)$ 是一个 Copula 函数, 令 $H(x_1, x_2, \dots, x_n) \cong C(F_1(x_1), F_2(x_2), \dots, F_n(x_n))$, 则 $H(x_1, x_2, \dots, x_n)$ 是 $X_i, i=1,2,\dots,n$ 的 n 元联合分布函数, 且各变量的边缘分布函数为 $F_i(x), i=1,2,\dots,n$.

在此根据 Sklar 定理可知, Copula 函数是构建多元联合分布函数及处理随机变量任意相关性的有效方法. 若随机变量的边缘分布函数及描述随机变量相关关系的 Copula 函数已知, 即可对其多元联合分布函数进行估算.

3.2 基于鞍点线抽样的性能指标边缘分布函数估算

鞍点线抽样方法是可靠性灵敏度分析领域的一种有效方法^[19]. 不失一般性, 本文以漏电功耗为例采用鞍点线抽样方法对其边缘分布进行估算, 芯片时延的边缘分布则可依同样方法获得.

首先, 针对具有随机扰动的 PVT 参数向量 \mathbf{p} , 建立漏电功耗线性函数 $L(\Delta\mathbf{p})$, 可得:

$$L(\Delta\mathbf{p}) = I_{\text{Leakage}}(\Delta\mathbf{p}) - I_0 \quad (4)$$

其中, $I_{\text{Leakage}}(\Delta\mathbf{p})$ 表示考虑 PVT 参数扰动影响的漏电功耗表达式. I_0 表示漏电功耗的性能约束. $\Delta\mathbf{p} = (\Delta L_{\text{off}}, \Delta V_{\text{th}}, \Delta T_{\text{ox}}, \Delta V_{\text{dd}}, \Delta T)$ 为 PVT 参数扰动向量.

在此, 为消除量纲影响并使 PVT 参数扰动空间的概率分布具有规律性, 对 PVT 参数扰动进行线性标准化变换:

$$\Delta\mathbf{p}' = \frac{\Delta\mathbf{p} - \mu_{\Delta\mathbf{p}}}{\sigma_{\Delta\mathbf{p}}} \quad (5)$$

其中, $\mu_{\Delta\mathbf{p}}, \sigma_{\Delta\mathbf{p}}$ 分别为 PVT 参数扰动 $\Delta\mathbf{p}$ 的分布均值及标准差.

通过式(5)线性变换, 可得新的漏电功耗线性函数 $L(\Delta\mathbf{p}')$, 而 $L(\Delta\mathbf{p}') < 0$ 则定义了性能约束 I_0 下漏电功耗的边缘分布域. 在该边缘分布域中, 依据联合概

率密度函数最大原则选取 $\Delta\mathbf{p}'^*$ 作为漏电功耗的近似极大似然点^[20]. 并且, 在 PVT 参数扰动线性标准化变换空间中, 对由坐标原点指向 $\Delta\mathbf{p}'^*$ 的矢量方向 \mathbf{i}_α 进行正则化得其对应的单位向量 \mathbf{i}_α . 则此时, 对于 PVT 参数扰动线性标准化变换空间中的任意向量 $\Delta\mathbf{p}'$, 其均可分解为平行于 \mathbf{i}_α 方向的向量 $c\mathbf{i}_\alpha$ 和垂直于 \mathbf{i}_α 方向的向量 $\mathbf{i}_{\alpha,v}$, 即:

$$\Delta\mathbf{p}' = c\mathbf{i}_\alpha + \mathbf{i}_{\alpha,v} \quad (6)$$

其中, 系数 c 为单位向量 \mathbf{i}_α 与 PVT 参数扰动向量 $\Delta\mathbf{p}'$ 的点积, $c = \langle \mathbf{i}_\alpha, \Delta\mathbf{p}' \rangle$.

随后, 在线性标准化变换空间中, 利用马尔科夫链模拟法^[20] 得到满足 $L(\Delta\mathbf{p}') < 0$ 的 N 个随机样本 $\Delta\mathbf{p}'_j, j=1,2,\dots,N$. 并且, 对于任意的随机样本 $\Delta\mathbf{p}'_j$, 给定系数 c_1, c_2 , 令其满足 $L(c_1\mathbf{i}_\alpha + \mathbf{i}_{\alpha,v}^{(j)})$ 与 $L(c_2\mathbf{i}_\alpha + \mathbf{i}_{\alpha,v}^{(j)})$ 异号, 则其所在直线 $l_j(c, \mathbf{i}_\alpha)$ 可如图 1 所示. 此时, 根据数值计算方法, 可得直线 $l_j(c, \mathbf{i}_\alpha)$ 与方程 $L(\Delta\mathbf{p}') = 0$ 的交点 $\Delta\mathbf{p}'_j^*$ 及对应的系数 c_j .

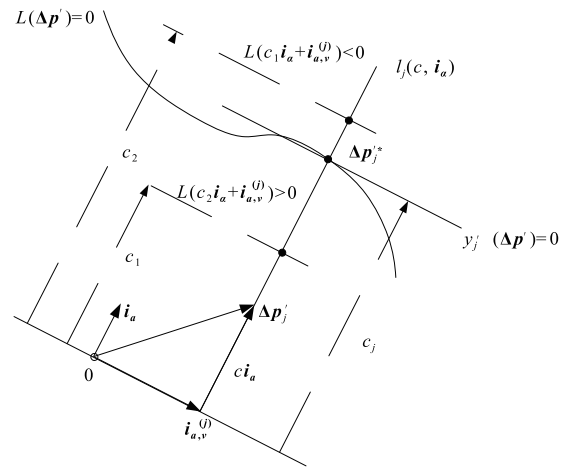


图1 鞍点抽样方法

在此, 以 $y_j'(\Delta\mathbf{p}') = 0$ 表示过交点 $\Delta\mathbf{p}'_j^*$ 且垂直于 \mathbf{i}_α 方向的超平面, $y_j'(\Delta\mathbf{p}') = 0$ 可由下式确定:

$$\begin{aligned} y_j'(\Delta\mathbf{p}') &= \mathbf{i}_\alpha \cdot (\Delta\mathbf{p}'_j^* - \Delta\mathbf{p}') \\ &= \sum_{x \in (\Delta L_{\text{off}}, \Delta V_{\text{th}}, \Delta T_{\text{ox}}, \Delta V_{\text{dd}}, \Delta T)} \mathbf{i}_{\alpha,x} (\Delta\mathbf{p}'_{j,x}^* - \Delta\mathbf{p}'_x) \\ &= 0 \end{aligned} \quad (7)$$

其中, $\Delta\mathbf{p}'_{j,x}^*$ 为交点 $\Delta\mathbf{p}'_j^*$ 的各 PVT 参数扰动分量, $\Delta\mathbf{p}'_x$ 为 PVT 参数扰动向量的各分量.

此外, 根据线抽样方法的基本原理, 漏电功耗的边缘分布概率可由一系列超平面的概率之和表示, 具体可表示为:

$$\begin{aligned} F_{\text{Leakage}}(I_0) &= P(L(\Delta\mathbf{p}') < 0) \\ &= \frac{1}{N} \sum_{j=1}^N P(y_j'(\Delta\mathbf{p}') < 0) \end{aligned} \quad (8)$$

其中, N 为上文随机采样的样本容量, $P(y_j'(\Delta\mathbf{p}') < 0)$

为各样本根据线抽样方法所得的超平面 $y_j'(\Delta\mathbf{p}')$ 定义的概率。

为对式(8)各超平面定义的概率进行求解,引入累积量母函数(CGF)定义,并:

根据 CGF 性质^[21],可得 $y_j'(\Delta\mathbf{p}')$ 的 CGF 表达式为:

$$K_{y_j'(\Delta\mathbf{p}')}^{(j)}(t) = \sum_{x \in (\Delta L_{\alpha}, \Delta V_{\alpha}, \Delta T_{\alpha}, \Delta V_{\alpha}, \Delta T)} i_{\alpha,x} \Delta p'_{j,x} t - \sum_{x \in (\Delta L_{\alpha}, \Delta V_{\alpha}, \Delta T_{\alpha}, \Delta V_{\alpha}, \Delta T)} K_{\Delta p'_j}(i_{\alpha,x} t) \quad (9)$$

其中, $i_{\alpha,x}$ 、 $\Delta p'_{j,x}$ 分别为单位向量 i_{α} 、交点 $\Delta p'_j$ 的各 PVT 参数扰动分量, $\Delta p'_j$ 为 PVT 参数扰动向量的各分量。

根据式(5),将式(9)变换至原始 PVT 参数扰动空间,令 $y_j(\Delta\mathbf{p})$ 为 $y_j'(\Delta\mathbf{p}')$ 变换后的表达式,则其对应的 CGF 表达式可表示为:

$$K_{y_j(\Delta\mathbf{p})}^{(j)}(t) = \sum_{x \in (\Delta L_{\alpha}, \Delta V_{\alpha}, \Delta T_{\alpha}, \Delta V_{\alpha}, \Delta T)} i_{\alpha,x} \Delta p_{j,x} t / \sigma_x - \sum_{x \in (\Delta L_{\alpha}, \Delta V_{\alpha}, \Delta T_{\alpha}, \Delta V_{\alpha}, \Delta T)} K_{\Delta p_j}(i_{\alpha,x} t) / \sigma_x \quad (10)$$

在此,采用鞍点估计法^[22],根据式(10)对 $y_j(\Delta\mathbf{p})$ 定义的概率函数 $P(y_j(\Delta\mathbf{p}) < 0)$ 进行求解,可得:

$$P\{y_j(\Delta\mathbf{p}) < 0\} = P\{y_j'(\Delta\mathbf{p}') < 0\} = \Phi(w) + \varphi(w) \left(\frac{1}{w} - \frac{1}{v} \right) \quad (11)$$

其中, $\Phi(w)$ 和 $\varphi(w)$ 分别为标准正态分布在 w 处的累积分布和概率密度, $w = \text{sign}(t_s) [-2K_{y_j(\Delta\mathbf{p})}^{(j)}(t_s)]^{1/2}$, $v = t_s [K_{y_j(\Delta\mathbf{p})}^{(j)}(t_s)]^{1/2}$, t_s 为 $K_{y_j(\Delta\mathbf{p})}^{(j)}(t_s) = 0$ 的解。

此时,根据式(8)、(11),即可得性能约束 I_0 下漏电功耗的边缘分布概率。同理,芯片时延在性能约束 D_0 下的边缘分布概率也可依同样方法求得。

3.3 基于 Copula 理论的多元参数成品率估算

通常,根据构造方法的不同,Copula 函数可分为多种类型。比较常见的类型有椭圆 Copula 函数族、阿基米德 Copula 函数族及普拉基特 Copula 函数族。鉴于阿基米德 Copula 函数族具备结构简单、形式多样、适应性强等诸多优点,故本文采用阿基米德 Copula 函数对芯片多元参数成品率进行估算。本文选取的较具代表性的阿基米德 Copula 函数有 Gumbel Copula Clayton Copula 和 Frank Copula。

不失一般性,以阿基米德 Copula 函数 $C(F_{\text{Leakage}}(I_0), F_{\text{Delay}}(D_0), \theta)$ 表征考虑漏电功耗及芯片时延的芯片多元参数成品率。由于不同的参数 θ 对应的漏电功耗及芯片时延间相关程度也不同,因此需对参数 θ 进行最优估计使 Copula 函数能够更准确的模拟漏电功耗及芯片时延间的相关性。

为对 Copula 函数中的参数进行最优估计,引入伪极大似然估计法(PMLE)^[23]将似然函数达到最大时所对应的 θ 值作为参数的最优估计。首先,构造漏电功耗

的边缘经验分布概率,可得:

$$F_{\text{Leakage}}(I_0) = \frac{1}{M_I} \sum_{i=1}^{M_I} I_F(I_{\text{Leakage}}(\Delta\mathbf{p}^{(i)}) < I_0) = \frac{m_I}{M_I} \quad (12)$$

其中, M_I 为由 SPICE 采样得到的漏电功耗独立观测样本容量。 $I_F(I_{\text{Leakage}}(\Delta\mathbf{p}^{(i)}) < I_0)$ 为指示函数,当 $I_{\text{Leakage}}(\Delta\mathbf{p}^{(i)}) < I_0$ 时, $I_F(I_{\text{Leakage}}(\Delta\mathbf{p}^{(i)}) < I_0) = 1$,反之 $I_F(I_{\text{Leakage}}(\Delta\mathbf{p}^{(i)}) < I_0) = 0$ 。 m_I 为满足 $I_{\text{Leakage}}(\Delta\mathbf{p}^{(i)}) < I_0$ 的 SPICE 独立观测样本数量。同理,芯片时延的边缘经验分布概率 $F_{\text{Delay}}(D_0)$ 可类似获得,在此不再一一赘述。

随后,分别随机选取 n 个漏电功耗及芯片时延约束,记为 $\mathbf{I}_0 = (I_0^{(1)}, I_0^{(2)}, \dots, I_0^{(n)})$ 、 $\mathbf{D}_0 = (D_0^{(1)}, D_0^{(2)}, \dots, D_0^{(n)})$ 。则漏电功耗及芯片时延边缘经验分布矩阵可构造为:

$$\mathbf{F} = (F_{\text{Leakage}}(\mathbf{I}_0), F_{\text{Delay}}(\mathbf{D}_0)) = \begin{pmatrix} \frac{m_L^{(1)}}{M_L^{(1)}} & \frac{m_D^{(1)}}{M_D^{(1)}} \\ \vdots & \vdots \\ \frac{m_L^{(n)}}{M_L^{(n)}} & \frac{m_D^{(n)}}{M_D^{(n)}} \end{pmatrix}_{n \times 2} \quad (13)$$

在此,利用边缘经验分布矩阵 \mathbf{F} 构造 Copula 函数 C 的对数极大似然函数,可得:

$$l_c(\theta) = \ln(L_c(\theta)) = \sum_{i=1}^n \ln(c((F_{\text{Leakage}}(I_0^{(i)}), F_{\text{Delay}}(D_0^{(i)})); \theta)) = \sum_{i=1}^n \ln(c((\frac{m_L^{(i)}}{M_L^{(i)}}, \frac{m_D^{(i)}}{M_D^{(i)}}); \theta)) \quad (14)$$

其中, $c((F_{\text{Leakage}}(I_0), F_{\text{Delay}}(D_0)); \theta) = \partial^2 C((F_{\text{Leakage}}(I_0), F_{\text{Delay}}(D_0)); \theta) / (\partial F_{\text{Leakage}}(I_0) \partial F_{\text{Delay}}(D_0))$, 为二维阿基米德 Copula 函数的概率密度。

根据极大似然估计法,使对数似然函数值最大化的参数 θ 可认为是 Copula 函数的最优参数估计,即: $\theta_{\text{PMLE}} = \text{argmax}_{\theta} l_c(\theta)$ 。在此,令对数似然函数 $l_c(\theta)$ 的一阶导数为零,可得:

$$\frac{\partial l_c(\theta)}{\partial \theta} = \sum_{i=1}^n \frac{\partial \ln(c((\frac{m_L^{(i)}}{M_L^{(i)}}, \frac{m_D^{(i)}}{M_D^{(i)}}); \theta))}{\partial \theta} = 0 \quad (15)$$

通过数值计算,即可获得 Copula 函数 C 的最优参数估计。

针对不同阿基米德 Copula 函数,依据上述方法计算其最优估计参数 θ ,可分别建立不同阿基米德 Copula 函数下的芯片多元参数成品率估算模型。此时,如何选取能够更加准确描述漏电功耗及芯片时延间相关结构的 Copula 函数就成为我们关注的重点。

在此,采用拟合优度评价作为 Copula 函数选择的

重要指标^[24],引入 AIC 信息准则^[25]对 Copula 函数描述漏电功耗及芯片时延间相关结构的准确性进行评价. AIC 准则的拟合优度评价表达式可表示为:

$$\begin{aligned} \text{AIC} &= 2(\ln(\text{MSE}) + k) \\ &= 2(\ln(\frac{1}{n} \sum_{i=1}^n (F(F_{\text{Leakage}}(I_0^{(i)}), F_{\text{Delay}}(D_0^{(i)})) \\ &\quad - C((F_{\text{Leakage}}(I_0^{(i)}), F_{\text{Delay}}(D_0^{(i)})); \theta_{\text{PMLE}}))^2) + k) \end{aligned} \quad (16)$$

其中, $F(F_{\text{Leakage}}(I_0), F_{\text{Delay}}(D_0))$ 为 SPICE 采样所得的经验参数成品率, $C((F_{\text{Leakage}}(I_0), F_{\text{Delay}}(D_0)); \theta_{\text{PMLE}})$ 为由上述方法计算得到的理论参数成品率. k 为模型参数的个数.

通过比较根据式 (16) 所得的评价结果, 选取 AIC 值最小的 Copula 函数作为最优 Copula 函数. 此时, 根据 Copula 理论, 芯片多元参数成品率即可表示为:

$$\begin{aligned} \text{Yield} &= F(I_0, D_0) \\ &= P(I_{\text{Leakage}}(\Delta p) < I_0, D_{\text{Delay}}(\Delta p) < D_0) \\ &= C_{\text{opt}}((F_{\text{Leakage}}(I_0), F_{\text{Delay}}(D_0)); \theta_{\text{PMLE}}) \end{aligned} \quad (17)$$

4 仿真结果与比较

本文所有算法验证实验均以 MATLAB 完成, 并通过国际电路与系统研讨会发布的 ISCAS 基准电路进行算法有效性验证. 而漏电功耗及芯片时延随机模型中的系数则由 HSPICE 仿真结果拟合获得. 不失一般性, 在实验过程中, 假设所有 PVT 参数扰动均服从截断高斯分布. 对于工艺参数扰动 ΔL_{eff} 、 ΔV_{th} 、 ΔT_{ox} 、 ΔV_{dd} 和 ΔT ,

其 3σ 值分别为各自设计标称值的 20%、10%、8%、10%、40%, 并且各工艺参数的片内和片间扰动均假设各占 50%.

除此之外, 在实验过程中, 本文将漏电功耗、时延等性能指标的约束条件均进行归一化处理, 表示为其相应性能指标标称值的倍数关系. 以漏电功耗为例, 令 $I_0 = 0.82I_{\text{nom}}$, 则 $I_{\text{Leakage}}(\Delta p) < 0.82I_{\text{nom}}$ 表示漏电功耗的性能指标约束为漏电功耗标称值 I_{nom} 的 0.82 倍. 而其它性能指标的约束条件均与此类似, 在此不再一一赘述.

4.1 性能指标边缘分布估算有效性验证

为证明本文所提性能指标边缘分布估算方法的有效性, 我们针对 C432 基准电路进行性能指标边缘分布估算, 并将本文方法所得的漏电功耗及芯片时延边缘分布分别与 SPICE 蒙特卡罗仿真结果进行对比实验. 图 2(a) ~ 图 2(d) 分别给出了本文方法及蒙特卡罗采样所得的亚阈值电流、栅极电流、漏电功耗和芯片时延的边缘分布概率比较曲线. 由图中曲线可看出, 在不同的性能指标下, 本文方法均能对其边缘分布进行有效估算, 所得结果与蒙特卡罗仿真结果吻合的较好. 除此之外, 由于漏电功耗模型中的指数项将显著增加 PVT 参数扰动对漏电功耗的影响, 亚阈值电流、栅极电流和漏电功耗相较于芯片时延对 PVT 参数扰动具有更高的灵敏度, 亚阈值电流、栅极电流和漏电功耗的变化范围较芯片时延要大的多. 该结论也可由图 2(a) ~ 图 2(d) 直观的看出.

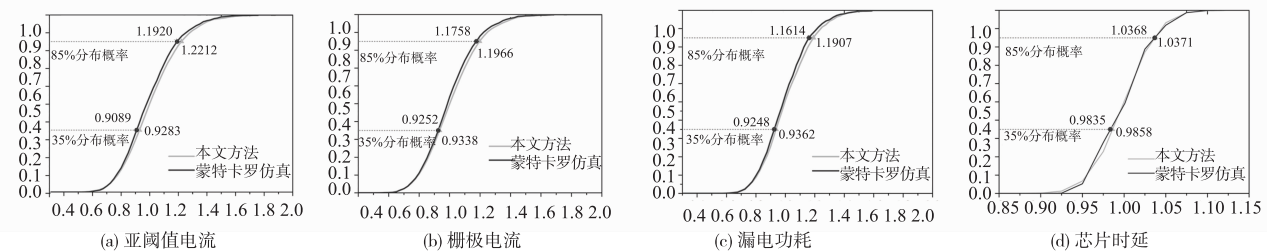


图2 本文方法与蒙特卡罗仿真所得边缘分布比较曲线

为进一步说明本文性能指标边缘分布估算方法的有效性, 表 1 针对 C432 基准电路利用上述两种方法在不同电流性能指标约束下对所得的边缘分布概率进行了对比. 由表 1 数据可知, 本文方法在 0.72 倍、1.03 倍

和 1.65 倍性能标称值约束下均可准确估算亚阈值电流、栅极电流和漏电功耗的边缘分布概率, 其与蒙特卡罗仿真相比均能得到令人满意的相对误差.

表 1 不同性能约束下的漏电功耗边缘分布概率及相对误差

性能约束	亚阈值电流边缘分布概率			栅极电流边缘分布概率			漏电功耗边缘分布概率		
	本文方法	MC 仿真	相对误差 (%)	本文方法	MC 仿真	相对误差 (%)	本文方法	MC 仿真	相对误差 (%)
0.72 倍	0.0469	0.0470	0.21	0.0341	0.0305	11.8	0.0238	0.0220	8.18
1.03 倍	0.5598	0.5995	6.62	0.5632	0.6045	6.83	0.5746	0.6050	5.02
1.65 倍	0.9964	0.9970	0.06	0.9986	0.9980	0.06	0.9979	0.9985	0.06

针对芯片时延性能指标,本文在 C432 基准电路下也对其边缘分布概率进行了估算,具体结果如表 2 所示. 根据表 2 数据,本文方法在不同时延约束下所得的芯片时延边缘分布概率同样能与蒙特卡罗仿真吻合的较好,具有较高的有效性.

表 2 不同性能约束下的芯片时延边缘分布概率及相对误差

性能约束(D_{nom})	芯片时延边缘分布概率		
	本文方法	MC 仿真	相对误差(%)
0.97	0.2056	0.2220	7.38
1.01	0.6161	0.6130	0.51
1.13	0.9999	1	0.01

除此之外,为对本文方法的仿真效率进行说明,表 3 还针对本文方法及 MC 方法的仿真时间进行了对比. 根据表 3 数据,MC 方法采样耗时 91.38 秒,而本文方法耗时较少,为 79.86 秒. 究其原因,是由于 MC 方法需进行大量 SPICE 仿真得到采样结果,然后再针对离散的采样结果计算多元参数成品率. 而本文方法则仅需对少量 MC 样本进行统计建模,然后通过求解联合累积分布函数计算多元参数成品率即可得到与 MC 仿真相近的结果. 由此可见,本文方法具有较高的仿真效率.

表 3 本文方法与 MC 方法的仿真时间比较

	本文方法	MC 方法	效率提升百分比
仿真时间	79.86s	91.38s	12.61%

表 4 多种 Copula 函数的参数估计及不同性能指标约束下对应的成品率及相对误差

Copula 函数	参数估计	AIC 值 (e^4)	成品率#1			成品率#2			成品率#3		
			本文方法 (%)	MC 仿真 (%)	相对误差 (%)	本文方法 (%)	MC 仿真 (%)	相对误差 (%)	本文方法 (%)	MC 仿真 (%)	相对误差 (%)
Clayton	0.0124	-1.0164	29.4	32.0	8.12	52.80	55.7	5.21	99.77	99.90	0.13
Gumbel	1.0443	-1.0480	29.67		7.28	52.91		5.00	99.77		0.13
Frank	0.2052	-1.0241	29.53		7.71	52.86		5.10	99.77		0.13
最优 Copula 函数											
Gumbel	1.0443	-1.0480	29.67	32.0	7.28	52.91	55.7	5.00	99.77	99.90	0.13

为进一步说明本文多元参数成品率估算方法的有效性,我们在任意性能约束下,对 C432 电路进行多元参数成品率估算实验. 图 3 给出了任意性能约束下利用 Gumbel Copula 函数以本文方法所得的多元参数成品率曲面. 而图 4 则给出了任意性能约束下蒙特卡罗仿真所得的多元参数成品率曲面. 由图 3 和图 4 可知,成品率曲面上任意一点均表示某一漏电功耗及芯片时延约束下的多元参数成品率. 因此,其可在任意性能约束下,为芯片设计人员提供同时考虑多个性能指标的

4.2 芯片多元参数成品率估算有效性验证

在此,本文以 C432 基准电路为例,对阿基米德 Copula 函数进行芯片多元参数成品率估算实验. 表 4 给出了不同 Copula 函数的最优参数估计和拟合优度评价(AIC)结果. 同时,为证明本文所提多元参数成品率估算方法的有效性,我们还随机选取三组漏电功耗和芯片时延约束(#1: $\{I_{Leakage}(\Delta p) < 0.82I_{nom}, D_{Delay}(\Delta p) < 1.03D_{nom}\}$; #2: $\{I_{Leakage}(\Delta p) < 1.01I_{nom}, D_{Delay}(\Delta p) < 1.09D_{nom}\}$; #3: $\{I_{Leakage}(\Delta p) < 1.71I_{nom}, D_{Delay}(\Delta p) < 1.11D_{nom}\}$)对芯片多元参数成品率进行估算. 表 4 给出了这三组性能指标约束下的成品率估算结果,并将其与蒙特卡罗仿真结果进行对比给出了相对误差. 由表 4 数据可看出,本文方法在不同的性能约束及 Copula 函数下,均能够对芯片多元参数成品率进行有效估算.

除此之外,通过比较拟合优度评价结果,表 4 还选出了能够更加准确描述漏电功耗及芯片时延间相关结构的 Copula 函数. 由表 4 数据可知, Gumbel Copula 函数所得的 AIC 值最小,能够对 C432 电路的芯片多元参数成品率进行最优估算. 而且,从不同性能约束下的成品率估算结果我们也可知, Gumbel Copula 函数相较于其他两种 Copula 函数具有更小的相对误差,这也进一步证明了拟合优度评价所得结论的正确性.

参数成品率信息.

除上述针对 C432 电路进行的仿真实验外,本文还针对更多基准电路模型进行多元参数成品率估算实验. 表 5 给出了 $\{I_{Leakage}(\Delta p) < 1.01I_{nom}, D_{Delay}(\Delta p) < 1.09D_{nom}\}$ 性能指标约束下,不同基准电路的多元参数成品率估算结果,并将其与蒙特卡罗仿真结果进行对比给出了相对误差. 由表 5 数据易知,本文方法在不同基准电路下,均能对芯片多元参数成品率进行有效估算.

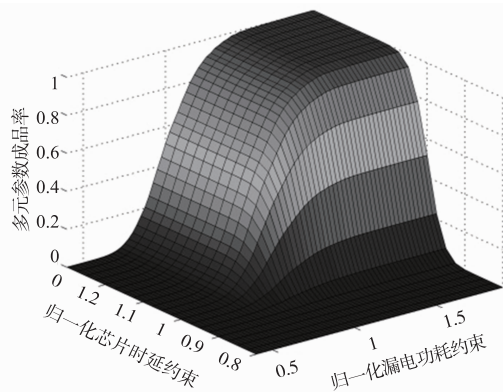


图3 本文方法所得芯片多元参数成品率曲面

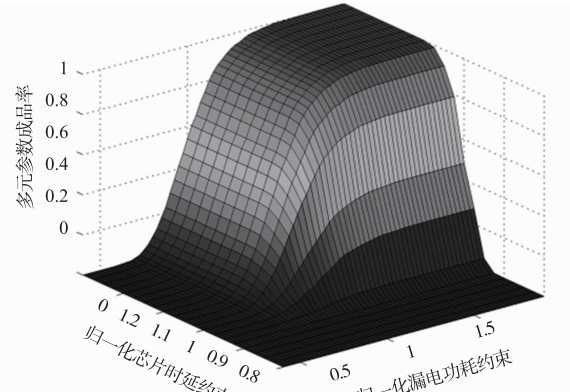


图4 蒙特卡罗仿真所得芯片多元参数成品率曲面

表5 不同基准电路的多元参数成品率及相对误差

基准电路	Copula 类型	参数 估计	参数成品率		
			本文方法 (%)	MC 仿真 (%)	相对误差 (%)
C499	Gumbel	1.0492	52.86	55.75	5.18
C1355	Gumbel	1.0489	52.97	55.75	4.99
C2670	Gumbel	1.0487	52.98	55.74	4.96
C5315	Gumbel	1.0491	52.94	55.75	5.04
C7552	Gumbel	1.0495	52.95	55.75	5.02

5 结论

考虑工艺及环境参数扰动的随机不确定性,提出一种基于 Copula 理论的芯片多元参数成品率估算方法.该方法首先构建漏电功耗及芯片时延的随机扰动模型,然后采用鞍点线抽样方法对漏电功耗及芯片时延的边缘分布概率进行求解,并进而根据 Copula 理论,同时考虑漏电功耗及芯片时延约束对芯片多元参数成品率进行估算.仿真结果表明,相较于蒙特卡罗仿真,本文方法具有较高的仿真效率,仿真时间减少了 12% 以上,而且在不同 ISCAS 基准电路下,该方法与蒙特卡罗仿真结果的相对误差均保持在 9% 以内,能够对芯片多元参数成品率进行有效估算,可以改变目前研究仅对单一性能指标成品率进行估算或对多个单性能指标成品率进行均衡优化的现状,并可在任意性能约束下为芯片设计人员提供同时考虑多个性能指标的多元参数成品率信息.

参考文献

[1] Banerjee A, Chatterjee A. Signature driven hierarchical post-manufacture tuning of RF systems for performance and power [J]. IEEE Transactions on VLSI Systems, 2015, 23(2): 342–355.

- [2] 肖杰,江建慧,等.一个面向缺陷分析的电路成品率与可靠性关系模型[J].电子学报,2014,42(4):747–755.
Xiao Jie, Jiang Jian-hui, et al. A defect analysis-oriented relation model of circuit yield and reliability [J]. Acta Electronica Sinica, 2014, 42(4): 747–755. (in Chinese)
- [3] 李鑫, Janet M Wang, 等.工艺随机扰动下非均匀互连线串扰的谱域方法分析[J].电子学报, 2009, 37(2): 398–403.
Li Xin, Janet M Wang, et al. Spectral method for analysis of crosstalk of non-uniform RLC interconnects in the presence of process variations [J]. Acta Electronica Sinica, 2009, 37(2): 398–403. (in Chinese)
- [4] 张瑛, Janet M Wang, 等.工艺随机扰动下的传输线建模与分析新方法[J].电子学报, 2005, 33(11): 1959–1964.
Zhang Ying, Janet M Wang, et al. A new stochastic modeling and analysis method for transmission lines in the presence of random process variations [J]. Acta Electronica Sinica, 2005, 33(11): 1959–1964. (in Chinese)
- [5] Wei W E, Li H Y, et al. A flexible TFT circuit yield optimizer considering process variation, aging, and bending effects [J]. IEEE/OSA Journal of Display Technology, 2014, 10(12): 1055–1063.
- [6] 卜登立,江建慧.基于对偶逻辑的混合极性 RM 电路极性转换和优化方法[J].电子学报, 2015, 43(1): 79–85.
Bu Deng-li, Jiang Jian-hui. Dual logic based polarity conversion and optimization of mixed polarity RM circuits [J]. Acta Electronica Sinica, 2015, 43(1): 79–85. (in Chinese)
- [7] 赵天旭,段旭朝.基于缺陷均匀分布的集成电路制造成品率与可靠性之间的关系模型[J].电子学报, 2012, 40(8): 1665–1669.
Zhao Tian-xu, Duan Xu-chao. A relation model between integrated circuit yield and reliability based on the defect's uniform distribution [J]. Acta Electronica Sinica, 2012, 40(8): 1665–1669. (in Chinese)
- [8] 赵天旭,段旭朝,郝跃.基于制造成品率模型的集成电路

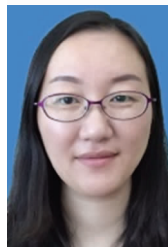
- 早期可靠性估计[J]. 电子学报, 2005, 33(11): 1965 - 1968.
- Zhao Tian-xu, Duan Xu-chao, Hao Yue. Estimation of early-life reliability based on integrated-circuit yield model [J]. Acta Electronica Sinica, 2005, 33(11): 1965 - 1968. (in Chinese)
- [9] Bayrakci A A. Stochastic logical effort as a variation aware delay model to estimate timing yield [J]. Integration, the VLSI Journal, 2015, 48(1): 101 - 108.
- [10] Mostafa H, Anis M, et al. Negative capacitance circuits for process variations compensation and timing yield improvement [A]. Canadian Conference on Electrical and Computer Engineering [C]. Toronto, ON; IEEE, 2014. 1 - 4.
- [11] Tang A, Jha N K. GenFin: Genetic algorithm-based multiobjective statistical logic circuit optimization using incremental statistical analysis [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2015, 1(1): 1.
- [12] Guerra-Gomez I, Tlelo-Cuautle E, et al. OCBA in the yield optimization of analog integrated circuits by evolutionary algorithms [A]. IEEE International Symposium on Circuits and Systems [C]. Lisbon; IEEE, 2015. 1933 - 1936.
- [13] Rao R R, Devgan A, et al. Parametric yield estimation considering leakage variability [A]. Proceedings of the 41st Design Automation Conference [C]. San Diego, CA, USA; IEEE, 2004. 442 - 447.
- [14] Radfar M, Singh J. A yield improvement technique in severe process, voltage, and temperature variations and extreme voltage scaling [J]. Microelectronics Reliability, 2014, 54(12): 2813 - 2823.
- [15] Chang H. Statistical timing analysis considering spatial correlations using a single PERT-like traversal [A]. IEEE/ACM International Conference on Computer-Aided Design, Digest of Technical Papers [C]. San Jose, CA, USA; IEEE, 2003. 621 - 625.
- [16] Sheng Y, Xu K, Wang D, Chen R. Performance analysis of FET microwave devices by use of extended spectral-element time-domain method [J]. International Journal of Electronics, 2013, 100(5): 699 - 717.
- [17] 黄君. 边缘分布确定的多元 Copula 函数构建 [J]. 西昌学院学报(自然科学版), 2014, 28(2): 22 - 25.
Huang Jun. Constructing multiple copulas function under the marginal distribution determined [J]. Journal of Xichang College (Natural Science), 2014, 28(2): 22 - 25. (in Chinese)
- [18] Sklar A. Fonctions de repartition an dimensions et leurs marges [J]. PublInst Statist Univ Paris, 1959, 8(1): 229 - 231.
- [19] 宋述芳, 吕震宙. 基于鞍点估计及其改进法的可靠性灵敏度分析 [J]. 力学学报, 2011, 43(1): 162 - 168.
Song Shufang, Lu Zhenzhou. The reliability sensitivity analysis based on saddle point approximation and its improved method [J]. Chinese Journal of Theoretical and Applied Mechanics, 2011, 43(1): 162 - 168. (in Chinese)
- [20] Yuan X K, Lu Z Z, et al. Conditional probability Markov chain simulation based reliability analysis method for non-normal variables [J]. Science China Technological Sciences, 2010, 53(5): 1434 - 1441.
- [21] Huang B, Du X. Probabilistic uncertainty analysis by mean-value first order saddlepoint approximation [J]. Reliability Engineering and System Safety, 2008, 93(2): 325 - 336.
- [22] Guo S. An efficient third-moment saddlepoint approximation for probabilistic uncertainty analysis and reliability evaluation of structures [J]. Applied Mathematical Modelling, 2014, 38(1): 221 - 232.
- [23] Kim G, Silvapulle, M J, et al. Comparison of semiparametric and parametric methods for estimating copulas [J]. Computational Statistics and Data Analysis, 2007, 51(6): 2836 - 2850.
- [24] 钟波, 张鹏. Copula 选择方法 [J]. 重庆工学院学报(自然科学版), 2009, 23(5): 155 - 160.
Zhong Bo, Zhang Peng. Research on methods to choose copula [J]. Journal of Chongqing Institute of Technology (Natural Science), 2009, 23(5): 155 - 160. (in Chinese)
- [25] Panchal G, Ganatra A. Searching most efficient neural network architecture using akaike's information criterion (AIC) [J]. International Journal of Computer Applications, 2010, 1(5): 54 - 57.

作者简介



李 鑫 男, 1983 年 2 月出生于江苏省徐州市. 2009 年毕业于南京理工大学计算机学院. 现为江苏省安全生产科学研究院高级工程师, 从事 VLSI 计算机辅助设计与芯片可靠性估计及优化方面的研究工作.

E-mail: lin65002@hotmail.com



唐 洁 女, 1983 年 4 月出生于江苏省泰州市. 2009 年毕业于东南大学计算机科学与工程学院. 现为东南大学网络与信息中心助理工程师, 从事集成芯片鲁棒性设计和优化方面的研究工作.

E-mail: jtang@secu.edu.cn

肖 甫 男, 1980 年 10 月出生于湖南省邵阳市. 2007 年毕业于南京理工大学计算机学院. 现为南京邮电大学教授, 从事无线传感器网络与物联网方面的研究工作.

E-mail: xiaof@njupt.edu.cn